

Guía de ejercicios # 11 - Jerarquía de memoria

Organización de Computadoras 2016

UNQ

1. Calcular cómo se divide una dirección de memoria de 16 bits (en *tag* y *palabra*) considerando una memoria caché con:

- (a) 4 celdas por bloque
- (b) 256 líneas
- (c) correspondencia asociativa

¿Cómo se decide si la dirección FA32 está en caché?

2. Cuantos bits de una dirección se destinan a: *tag* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte:
- Una memoria cache con:
 - (a) Bloques de 1 celda
 - (b) 4 líneas
 - (c) correspondencia asociativa

3. Cuantos bits de una dirección se destinan a: *tag* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia asociativa

4. Considerar una máquina con

- Una memoria principal de 64 celdas de un byte:
- Una memoria cache con:
 - (a) Bloques de 8 celdas
 - (b) 4 líneas¹
 - (c) correspondencia directa

Y dada una dirección de memoria calcular la cantidad de bits que se destinan a: *tag*, *línea* y *palabra*.

5. Considerando el escenario del ejercicio 1, dar los tags y las líneas de la cache en las que se almacenan las direcciones:

Dirección	Nro. Bloque	Nro. línea
111000		
011001		
111111		
101000		
101001		

¹ranura=línea=slot

6. Considerando el escenario del ejercicio 1, listar todas las direcciones en la misma línea que la dirección 111000.

7. Suponer que la cache descrita en el ejercicio 1 está vacía, y que se realizan lecturas de direcciones en el siguiente orden. Determinar para cada lectura si ésta produjo un fallo o un acierto.

Dirección	Nro. Bloque	Nro. línea	¿F/A?
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

8. Calcular cómo se divide una dirección de memoria de 16 bits (en *tag*, *línea* y *palabra*) considerando una memoria caché con:

- (a) 4 celdas por bloque
- (b) 256 líneas
- (c) correspondencia directa

¿Cómo se decide si la dirección FA32 está en caché?

9. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia directa

10. Cuantos bits de una dirección se destinan a: *tag*, *conjunto* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia asociativa por conjuntos, conjuntos de 2 líneas

11. Considerar una máquina con una memoria principal con un bus de direcciones de 16 bits, con celdas de 2 bytes, y una memoria cache de mapeo directo de sólo 2 líneas, con capacidad cada una para almacenar un bloque de 4 celdas. A partir de la posición 0000 está ensamblado el siguiente programa. El PC comienza en la etiqueta *main* y la caché está inicialmente vacía.

```

main: MOV R7, 0x0005 ; iniciar el contador
      MOV R6, 0x0001 ; iniciar el acumulador
arriba: MUL R6, 0x0002
      SUB R7, 0x0001;
      JNE arriba

```

Completar la siguiente tabla

Celda	Nro. Bloque	Nro. línea	tag	¿F/A?

12. Considerar el siguiente programa:

```

      MOV R0, 0x0000
      MOV R1, 0x0000
      MOV R2, 0x0000
      MOV R3, 0x0000
      MOV R4, 0x0000
      MOV R5, 0x0000
      MOV R6, 0x0000
      MOV R7, 0x0000
arriba: ADD R0, 0x0001
      ADD R1, 0x0001
      ADD R2, 0x0001
      ADD R3, 0x0001
      ADD R4, 0x0001
      ADD R5, 0x0001
      ADD R6, 0x0001
      ADD R7, 0x0001
      CMP R7, 0x000F
      JNE arriba

```

que se ejecuta en una computadora con la arquitectura **Q6**, con:

- Una memoria principal de 2^{16} celdas de 2 bytes
- Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia directa

¿Que cantidad de accesos a memoria caché y a memoria principal se llevan a cabo durante su ejecución?

13. Considerar el siguiente programa ensamblado a partir de la celda A012:

```

      MOV R0, 0xAAAA
arriba: MOV R1, 0x0004
      CALL shiftN
      CMP R0, 0x0000
      JNE arriba

```

y la siguiente rutina ensamblada a partir de la celda B012

```

shiftN: CMP R1, 0x0000
      JE salir
      DIV R0, 0x0002
      SUB R1, 0x0001
      JMP shiftN
salir:  RET

```

Si el programa se ejecuta en una máquina **Q6**, con:

- Una memoria principal de 2^{16} celdas de 2 bytes
- Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia directa

- (a) ¿Qué cantidad de accesos a memoria caché y a memoria principal se llevan a cabo durante su ejecución? ¿Qué cantidad de fallos se producen?
- (b) ¿Que tasa de fallos se produjo?
- (c) ¿Cómo pueden disminuirse los fallos?

14. HTTP es el protocolo que se utiliza para navegar en Internet. Existe algo llamado HTTP cache. Averiguar qué es. ¿Qué parecido tiene con el cache del procesador?

15. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 64 Kbytes, con celdas de un byte
- Una memoria cache con:
 - (a) Bloques de 8 celdas
 - (b) 256 Bytes de capacidad para datos (sin contar tag)
 - (c) correspondencia directa

16. Considerar la arquitectura del ejercicio 15:

- (a) Dar las líneas en las que se almacenan las direcciones: 111B, C334, D01D, AAAA.
- (b) Listar todas las direcciones que se almacenarán en el mismo bloque que la dirección 1A1A.
- (c) Suponer que la cache está vacía para completar la siguiente tabla con una secuencia de lecturas:

Celda	Nro. Bloque	Nro. línea	tag	¿F/A?
111B				
1100				
C334				
D01D				
AAAA				
1118				
D01A				

17. Se dispone de una arquitectura como la del ejercicio 15. Se sabe además que cada línea tiene 8 bytes (que además es el tamaño de la palabra de esta máquina). En la memoria de esta computadora está cargado a partir de la posición 0 un arreglo de números de 8 bytes, con un largo total de 256 números. El siguiente programa suma algunos de los números del arreglo, tarea que repite 1000 veces. El PC comienza en la etiqueta **main**.

```

main:      MOV R7, 0          //con R7 se cuentan
                        las 1000 pasadas
          MOV R3, 0x80       //en R3 se guarda el
                        'salto'
comienzo:  MOV R0, 0          //con R0 se recorre el
                        arreglo
          MOV R1, 0          //en R1 se acumula la
                        suma
loop:      ADD R1, [R0]       //se suma en R1 la
                        posición actual
          ADD R0, R3         //se avanza R0
          CMP R0, 0x800      //fin del arreglo
                        (256*8 = 0x800)
          JL loop           //si no se termino el
                        arreglo, sigo
          ADD R7, 1
          CMP R7, 1000      //fin de las pasadas
          JNE comienzo     //si no hice 1000
                        pasadas, sigo
          RET

```

- (a) Dar la tasa de fallos que se produce en la caché (inicialmente vacía), considerando **únicamente los accesos al arreglo** (y no a las instrucciones).
- (b) Dar la tasa de fallos bajo las mismas condiciones del ítem anterior, pero modificando el valor que se carga en R3 a 0x88 (el salto es ahora de 17 posiciones, dado que $17 \cdot 8 = 136 = 0x88$).
- (c) ¿Qué diferencia se observa entre los casos anteriores? ¿A qué se debe?
18. Analizar el programa del Ejercicio 17, pero con una caché asociativa (con las mismas características: 256B de datos, con un tamaño de línea de 8B). ¿Cuál es ahora la tasa de fallos para los ítems a) y b)? ¿Cuál es entonces la ventaja de una caché de mapeo directo?
19. Se tiene un sistema con una memoria principal con un tiempo de acceso de 3s, y una memoria caché cuyo tiempo de acceso es de 0,3s y cuya tasa de aciertos es del 90%. ¿Cuánto tiempo se tarda en leer 2000 celdas?

20. Suponer una arquitectura **Q6**. Dada una memoria caché de correspondencia directa de 64 líneas y 4 celdas por bloque:

- (a) Dado el siguiente programa

```

          CMP [R3], 0x0000
          JE fin
          ADD R0, [R1]
          ADD R2, [R3]
fin:      RET

```

y sabiendo que el programa está ensamblado a partir de B110, R1 = AC00, R3 = A702, SP=FFEE y en la celda A702 hay un 1,

complete la siguiente tabla para su ejecución.

Dirección	Tag	Línea	Palabra	Acierto/Fallo
-----------	-----	-------	---------	---------------

- (b) ¿Qué se puede modificar para mejorar la tasa de aciertos?
- (c) Si el tiempo de acceso a la memoria es de 0.5 ms y el de la caché es 0.05 ms. ¿Cuánto tiempo llevó la ejecución de ese programa?

21. Considerar una máquina con una memoria caché de correspondencia directa de 1024 líneas, un tamaño de bloque de 4 bytes y una memoria principal de 64 KBytes con celdas de un byte.

- (a) Dada una dirección de memoria calcular la cantidad de bits que se destinan a: *tag*, *línea* y *palabra*.
- (b) Suponer que la caché está vacía, y que se realizan lecturas de datos cuyas direcciones están en el siguiente orden:

```

0xEA00
0xEA01
0x9A03
0xEA02
0xEA04
0xEA05
0xEA07
0xEA04

```

Determinar para cada lectura si esta produjo un fallo o un acierto.

- (c) Sabiendo que el tiempo de acceso a la memoria ram es de $0,5\mu s$, calcular el tiempo máximo de acceso a la caché para que el tiempo total de los accesos sea inferior a los $2,4\mu s$.

22. Dado el siguiente programa:

```

          ciclo: CMP [R0], 0
          JE fin
          SUB [R0], 1
          JMP ciclo
fin:      ADD [R0], 1

```

- (a) Ensamblar el programa
- (b) Sabiendo que R0 = C000, que en la celda C000 hay almacenado un 2, que el programa se encuentra ensamblado a partir de la celda 7001 y el sistema tiene una caché de mapeo directo de 8 celdas por bloque y una capacidad de 2KB, inicialmente vacía. Completar para la ejecución del programa la siguiente tabla:

Dirección	Tag	Línea	Palabra	F/A	Desaloja?